

09/743768

PCT/JP 00/03116

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

15.05.00

REC'D 03 JUL 2000

WIPO

PCT

JP00/03116

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 5月14日

JKU

出 願 番 号

Application Number:

平成11年特許願第134321号

出 願 人

Applicant (s):

セイコーエプソン株式会社

BEST AVAILABLE COPY

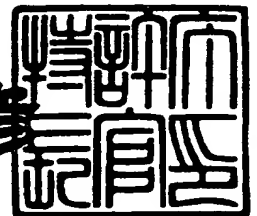
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 6月16日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3045060

【書類名】 特許願

【整理番号】 J0074082

【提出日】 平成11年 5月14日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133 550

【発明の名称】 電気光学装置の駆動方法、駆動回路及び電気光学装置並びに電子機器

【請求項の数】 10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 石井 良

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 伊藤 昭彦

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代表者】 安川 英昭

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置の駆動方法、駆動回路及び電気光学装置並びに電子機器

【特許請求の範囲】

【請求項 1】 マトリクス状に配設された画素を階調表示させる電気光学装置の駆動方法であって、

1 フィールドを複数のサブフィールドに分割する一方、

最初のサブフィールドにおいては、画素をオンまたはオフとし、

以降のサブフィールドにおいては、当該画素のオンまたはオフを維持するか否かについて、当該画素の階調に応じて制御する

ことを特徴とする電気光学装置の駆動方法。

【請求項 2】 前記画素は、複数の走査線と複数のデータ線との各交差に対応して設けられ、当該走査線に走査信号が供給されると、当該データ線に印加されている電圧にしたがってオンオフするものであり、

前記サブフィールド毎に、前記走査信号を前記走査線の各々に順次供給し、

前記画素のオンまたはオフを指示する 2 値信号を、当該画素に対応する走査線に前記走査信号を供給する際に、当該画素に対応するデータ線に供給する

ことを特徴とする請求項 1 に記載の電気光学装置の駆動方法。

【請求項 3】 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、

前記画素電極毎に設けられ、当該走査線に走査信号が供給されると、当該データ線と当該画素電極との間を導通させるスイッチング素子と

からなる画素を駆動する電気光学装置の駆動回路であって、

1 フィールドを分割したサブフィールド毎に、前記スイッチング素子を導通させる走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

最初のサブフィールドにおいては、画素をオンまたはオフを指示する 2 値信号を、

以降のサブフィールドにおいては、当該画素のオンまたはオフを維持するか否かについて指示する 2 値信号を、

それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置の駆動回路。

【請求項 4】 前記データ線駆動回路は、さらに、

水平走査期間のはじめに供給されるラッチパルス信号をクロック信号に応じて順次シフトして出力するシフトレジスタと、

前記 2 値信号を、前記シフトレジスタによりシフトされた信号により順次ラッチする第 1 のラッチ回路と、

前記第 1 のラッチ回路によりラッチされた 2 値信号を、前記ラッチパルス信号に基づいてラッチするとともに、対応するデータ線に一齐に出力する第 2 のラッチ回路と

を備えることを特徴とする請求項 3 に記載の電気光学装置の駆動回路。

【請求項 5】 前記第 1 のラッチ回路は、前記シフトレジスタによりシフトされた信号により、複数系統に分配された 2 値信号を同時にラッチする

ことを特徴とする請求項 4 に記載の電気光学装置の駆動回路。

【請求項 6】 1 サブフィールドにおいて、前記走査線駆動回路が前記走査線のすべてに対し前記走査信号を供給した後に、前記シフトレジスタへの前記クロック信号の供給を停止させる一方、

次のサブフィールドが開始すると、前記クロック信号の供給を再開させるクロック信号供給制御回路を備える

ことを特徴とする請求項 4 に記載の電気光学装置の駆動回路。

【請求項 7】 複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、

前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との導通を制御するスイッチング素子と

を備えた素子基板と、

前記画素電極に対して対向配置された対向電極を備える対向基板と、

前記素子基板と前記対向基板との間に挟持された電気光学材料と、

1 フィールドを分割したサブフィールド毎に、前記スイッチング素子を導通さ

せる走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

最初のサブフィールドにおいては、画素をオンまたはオフを指示する 2 値信号を、

以降のサブフィールドにおいては、当該画素のオンまたはオフを維持するか否かについて指示する 2 値信号を、

それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路と

を具備することを特徴とする電気光学装置。

【請求項 8】 前記対向電極に印加されるレベルに応じて、前記 2 値信号をレベル反転する

ことを特徴とする請求項 7 に記載の電気光学装置。

【請求項 9】 前記素子基板は、半導体基板からなり、

前記走査線駆動回路および前記データ線駆動回路は、前記素子基板に形成される一方、

前記画素電極は反射性を有する

ことを特徴とする請求項 7 に記載の電気光学装置。

【請求項 10】 請求項 7 乃至 9 にいずれか記載の電気光学装置を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パルス幅変調により階調表示制御を行う電気光学装置の駆動方法、駆動回路および電気光学装置並びに電子機器に関する。

【0002】

【従来の技術】

電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器の表示部や壁掛けテレビなどに広く用いられている。

## 【 0 0 0 3 】

ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続されたTFT（Thin Film Transistor：薄膜トランジスタ）のようなスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度が増加することになる。このため、階調表示することが可能となるのである。

## 【 0 0 0 4 】

この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第1に、走査線駆動回路によって、各走査線を順次選択するとともに、第2に、走査線の選択期間において、データ線駆動回路によって、データ線を順次選択し、第3に、選択されたデータ線に、階調に応じた電圧の画像信号をサンプリングする構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

## 【 0 0 0 5 】

## 【発明が解決しようする課題】

しかしながら、データ線に印加される画像信号は、階調に対応する電圧、すなわちアナログ信号である。このため、電気光学装置の周辺回路には、D/A変換回路やオペアンプなどが必要となるので、装置全体のコスト高を招致してしまう。さらに、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性に起因して、表示ムラが発生するので、高品質な表示が極めて困

難である、という問題があり、特に、高精細な表示を行う場合に顕著となる。

【0006】

本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、高品質・高精細な階調表示が可能な電気光学装置、その駆動方法、その駆動回路、さらには、この電気光学装置を用いた電子機器を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するために、本件第1の発明は、マトリクス状に配設された画素を階調表示させる電気光学装置の駆動方法であって、1フィールドを複数のサブフィールドに分割する一方、最初のサブフィールドにおいては、画素をオンまたはオフとし、以降のサブフィールドにおいては、当該画素のオンまたはオフを維持するか否かについて、当該画素の階調に応じて制御することを特徴としている。

【0008】

この第1の発明によれば、1フィールドにおいて、画素のオン（またはオフ）の期間が、当該画素の階調に応じてパルス幅変調される結果、実効値制御による階調表示が行われることになる。この際、各サブフィールドにおいては、画素のオンまたはオフを指示するだけで済むので、画素への指示信号として、2値信号（すなわち、HレベルかLレベルかしか取り得ないデジタル信号）を用いることができる。したがって、第1の発明では、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

【0009】

なお、本発明において、1フィールドとは、従来において、水平走査信号および垂直走査信号に同期して水平走査および垂直走査することにより、1枚のラスター画像を形成するのに要する期間という意味合いで用いている。したがって、ノンインターレース方式などにおける1フレームも、本発明にいう1フィールドに相当する点に留意されたい。



## 【 0 0 1 0 】

ここで、第 1 の発明の一態様においては、前記画素は、複数の走査線と複数のデータ線との各交差に対応して設けられ、当該走査線に走査信号が供給されると、当該データ線に印加されている電圧にしたがってオンオフするものであり、前記サブフィールド毎に、前記走査信号を前記走査線の各々に順次供給し、前記画素のオンまたはオフを指示する 2 値信号を、当該画素に対応する走査線に前記走査信号を供給する際に、当該画素に対応するデータ線に供給する。この態様において、ある走査線に走査信号が供給された時点に、その走査線と交差するデータ線に 2 値信号が供給されると、その交差に対応する画素は、当該 2 値信号にしたがってオンまたはオフする。そして、この態様では、この動作がすべての画素に対して行われることになる。

## 【 0 0 1 1 】

また、上記目的を達成するために、本件第 2 の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に設けられ、当該走査線に走査信号が供給されると、当該データ線と当該画素電極との間を導通させるスイッチング素子とからなる画素を駆動する電気光学装置の駆動回路であって、1 フィールドを分割したサブフィールド毎に、前記スイッチング素子を導通させる走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、最初のサブフィールドにおいては、画素をオンまたはオフを指示する 2 値信号を、以降のサブフィールドにおいては、当該画素のオンまたはオフを維持するかどうかについて指示する 2 値信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備することを特徴としている。

## 【 0 0 1 2 】

この第 2 の発明によれば、上記第 1 の発明と同様な理由により、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

## 【 0 0 1 3 】

ここで、第 2 の発明において、前記データ線駆動回路は、さらに、水平走査期

間のはじめに供給されるラッチパルス信号をクロック信号に応じて順次シフトして出力するシフトレジスタと、前記2値信号を、前記シフトレジスタによりシフトされた信号により順次ラッチする第1のラッチ回路と、前記第1のラッチ回路によりラッチされた2値信号を、前記ラッチパルス信号に基づいてラッチするとともに、対応するデータ線に一斉に出力する第2のラッチ回路とを備える構成が望ましい。この発明では、1フィールドを複数のサブフィールドに分割しているので、各サブフィールドにおいて2値信号を点順次的に供給する構成では、画素への書込時間が十分でない事態が予想される。そこで、この構成のように、2値信号をデータ線に供給する前に、一旦、第1のラッチ回路によって、点順次的にラッチするとともに、このラッチした信号を、第2のラッチ回路によって、水平走査期間のはじめに供給されるラッチパルス信号によって一斉にラッチして、データ線に供給すると、画素の書込時間として、1水平走査期間という比較的長い時間を確保することが可能となる。

#### 【0014】

さて、このような構成において、前記第1のラッチ回路は、前記シフトレジスタによりシフトされた信号により、複数系統に分配された2値信号を同時にラッチする構成が望ましい。この構成によれば、シフトレジスタの段数が低減されるとともに、第1のラッチ回路が2値信号をラッチするのに要する時間も短縮することが可能となる。

#### 【0015】

また、データ線駆動回路にシフトレジスタを備える構成では、1サブフィールドにおいて、前記走査線駆動回路が前記走査線のすべてに対し前記走査信号を供給した後に、前記シフトレジスタへの前記クロック信号の供給を停止させる一方、次のサブフィールドが開始すると、前記クロック信号の供給を再開させるクロック信号供給制御回路を備えることが望ましい。一般に、シフトレジスタには、クロック信号をゲートで入力するクロックドインバータが極めて多数備えられるので、クロック信号の供給源からみると、シフトレジスタは容量負荷となる。一方、「1サブフィールドにおいて、走査線駆動回路が走査線のすべてに対し走査信号を供給した後」から「次のサブフィールドが開始する」までの期間において

は、データ線側のシフトレジスタを動作させる必要はない。そこで、上記クロック信号供給制御回路によって、上記期間だけ、クロック信号のシフトレジスタへの供給を停止させることによって、シフトレジスタの容量負荷に起因して消費される電力を抑えることが可能となる。

【0016】

次に、上記目的を達成するために、本件第3の発明は、複数の走査線と複数のデータ線との各交差に対応して配設された画素電極と、前記画素電極毎に設けられ、当該走査線を介して供給される走査信号によって、当該データ線と当該画素電極との導通を制御するスイッチング素子とを備えた素子基板と、前記画素電極に対して対向配置された対向電極を備える対向基板と、前記素子基板と前記対向基板との間に挟持された電気光学材料と、1フィールドを分割したサブフィールド毎に、前記スイッチング素子を導通させる走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、最初のサブフィールドにおいては、画素をオンまたはオフを指示する2値信号を、以降のサブフィールドにおいては、当該画素のオンまたはオフを維持するか否かについて指示する2値信号を、それぞれ当該画素に対応する走査線に前記走査信号が供給される期間に、当該画素に対応するデータ線に供給するデータ線駆動回路とを具備することを特徴としている。

【0017】

この第3の発明によれば、上記第1および第2の発明と同様な理由により、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが抑えられる結果、高品質かつ高精細な階調表示が可能となる。

【0018】

さて、第3の発明において、前記対向電極に印加されるレベルに応じて、前記2値信号をレベル反転する構成が望ましい。このような構成では、対向電極に一方のレベルが印加される場合と、他方のレベルが印加される場合とにおいて、両者レベルの中間値を基準として考えると、画素に印加される電圧は、互いに極性が反転し、かつ、絶対値が等しくなる。このため、画素電極と対向電極とに挟持される電気光学材料に直流成分が印加されるのを防止することが可能となる。

## 【0019】

また、第3の発明の一の態様によれば、前記素子基板は、半導体基板からなり、前記走査線駆動回路および前記データ線駆動回路は、前記素子基板に形成される一方、前記画素電極は反射性を有していることが望ましい。半導体基板の電子移動度は高いので、当該基板に形成されるスイッチング素子や、駆動回路の構成素子などについて、高速応答性ととも小サイズ化を図ること可能となる。なお、半導体基板は不透明であるので、電気光学装置は反射型として用いられることとなる。

## 【0020】

さらに、上記目的を達成するために、本件第4の発明に係る電子機器にあっては、上記電気光学装置を備えているので、D/A変換回路やオペアンプなどが不要となる上に、さらに、これらのD/A変換回路、オペアンプなどの特性や、各種の配線抵抗などの不均一性の影響を受けない。したがって、この電気機器によれば、コストが抑えられるとともに、高品質かつ高精細な階調表示が可能となる。

## 【0021】

## 【発明の実施の形態】

以下、本発明の実施形態について図面を参照して説明する。まず、本実施形態に係る電気光学装置は、電気光学材料として液晶を用いた液晶装置であり、後述するように素子基板と対向基板とが、互いに一定の間隙を保って貼付され、この間隙に電気光学材料たる液晶が挟持される構成となっている。また、本実施形態に係る電気光学装置では、素子基板として半導体基板が用いられ、ここに、画素を駆動するトランジスタとともに、周辺駆動回路などが形成されたものである。

## 【0022】

## ＜電気的な構成＞

図1は、この電気光学装置の電気的な構成を示すブロック図である。図において、タイミング信号生成回路200は、図示せぬ上位装置から供給される垂直走査信号Vs、水平走査信号Hsおよびドットクロック信号DCLKにしたがって、次に説明する各種のタイミング信号やクロック信号などを生成するものである。

。まず、第 1 に、交流化駆動信号 F R は、1 フィールド（1 フレーム）毎にレベル反転して、対向基板の対向電極に印加される信号である。第 2 に、スタートパルス D Y は、1 フィールドを後述するように分割した各サブフィールドにおいて、最初に出力されるパルス信号である。第 3 に、クロック信号 C L Y は、走査側（Y 側）の水平走査期間を規定する信号である。第 4 に、ラッチパルス L P は、水平走査期間の最初に出力されるパルス信号であって、クロック信号 C L Y のレベル遷移（すなわち、立ち上がりおよび立ち下がり）時に出力されるものである。第 5 に、クロック信号 C L X は、いわゆるドットクロックを規定する信号である。

### 【0023】

一方、素子基板上における表示領域 1 0 1 a には、複数本の走査線 1 1 2 が、図において X（行）方向に延在して形成され、また、複数本のデータ線 1 1 4 が、Y（列）方向に沿って延在して形成されている。そして、画素 1 1 0 は、走査線 1 1 2 とデータ線 1 1 4 との各交差に対応して設けられて、マトリクス状に配列している。ここで、説明の便宜上、本実施形態では、走査線 1 1 2 の総本数を m 本とし、データ線 1 1 4 の総本数を n 本として（m、n はそれぞれ 2 以上の整数）、m 行×n 列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

### 【0024】

なお、画素 1 1 0 の具体的な構成としては、例えば、図 2（a）に示されるものが挙げられる。この構成では、トランジスタ（MOS 型 FET）1 1 6 のゲートが走査線 1 1 2 に、ソースがデータ線 1 1 4 に、ドレインが画素電極 1 1 8 に、それぞれ接続されるとともに、画素電極 1 1 8 と対向電極 1 0 8 との間に電気光学材料たる液晶 1 0 5 が挟持されて液晶層が形成されている。ここで、対向電極 1 0 8 は、後述するように、実際には画素電極 1 1 8 と対向するように対向基板に一面に形成される透明電極である。なお、対向電極 1 0 8 の電位は、通常の電気光学装置においては、一定値に保たれるが、本実施形態に係る電気光学装置においては、前述した交流化駆動信号 F R が印加されて、1 フィールド毎にレベル反転する構成となっている。また、画素電極 1 1 8 と接地電位 G N D との間にお

いては蓄積容量 1 1 9 が形成されて、液晶層に蓄積される電荷のリークを防止している。

#### 【0 0 2 5】

ここで、図 2 (a) に示される構成では、トランジスタ 1 1 6 として一方のチャネル型のみが用いられているために、オフセット電圧が必要となるが、図 2 (b) に示されるように、Pチャネル型トランジスタとNチャネル型トランジスタとを相補的に組み合わせた構成とすれば、オフセット電圧の影響をキャンセルすることができる。ただし、この相補型構成では、走査信号として互いに排他的レベルを供給する必要があるため、1 行の画素 1 1 0 に対して走査線 1 1 2 a、1 1 2 b の 2 本が必要となる。

#### 【0 0 2 6】

説明を再び図 1 に戻す。走査線駆動回路 1 3 0 は、いわゆる Y シフトレジスタと呼ばれるものであり、サブフィールドの最初に供給されるスタートパルス D Y をクロック信号 C L Y にしたがって転送し、走査線 1 1 2 の各々に走査信号 G 1、G 2、G 3、…、G m として順次排他的に供給するものである。

#### 【0 0 2 7】

また、データ線駆動回路 1 4 0 は、ある水平走査期間において 2 値信号 D s をデータ線 1 1 4 の本数に相当する n 個順次ラッチした後、ラッチした n 個の 2 値信号 D s を、次の水平走査期間において、それぞれ対応するデータ線 1 1 4 にデータ信号 d 1、d 2、d 3、…、d n として一斉に供給するものである。ここで、データ線駆動回路 1 4 0 の具体的な構成は、図 3 に示される通りである。すなわち、データ線駆動回路 1 4 0 は、X シフトレジスタ 1 4 1 0 と、第 1 のラッチ回路 1 4 2 0 と、第 2 のラッチ回路 1 4 3 0 とから構成されている。このうち、X シフトレジスタ 1 4 1 0 は、水平走査期間の最初に供給されるラッチパルス L P をクロック信号 C L X にしたがって転送し、ラッチ信号 S 1、S 2、S 3、…、S n として順次排他的に供給するものである。次に、第 1 のラッチ回路 1 4 2 0 は、2 値信号 D s をラッチ信号 S 1、S 2、S 3、…、S n の立ち上がりにおいて順次ラッチするものである。そして、第 2 のラッチ回路 1 4 3 0 は、第 1 のラッチ回路 1 4 2 0 によりラッチされた 2 値信号 D s の各々をラッチパルス L P

の立ち下がりにおいて一斉にラッチするとともに、データ線 1 1 4 の各々にデータ信号  $d_1$ 、 $d_2$ 、 $d_3$ 、…、 $d_n$  として供給するものである。

#### 【0028】

次に、データ変換回路 300 について説明する前に、本実施形態に係る電気光学装置におけるサブフィールドなる概念について説明する。一般に、電気光学材料として液晶を用いた液晶装置において、液晶層に印加される電圧と透過率（または反射率）との関係は、電圧無印加状態において黒表示を行うノーマリーブランクモードを例にとれば、図 4（a）に示されるような関係にある。すなわち、液晶層への印加電圧が増すにつれて、透過率が非線形に増加して飽和する。

#### 【0029】

ここで、本実施形態に係る電気光学装置が 8 階調表示を行うものとし、3 ビットで示される階調（濃淡）データが、それぞれ同図に示される透過率を指示するものとする。この際、各透過率において液晶層に印加される電圧を、それぞれ  $V_0 \sim V_7$  とすると、従来では、これらの電圧  $V_0 \sim V_7$  自体を、液晶層に印加する構成となっていた。このため、特に、中間階調に対応する電圧  $V_1 \sim V_6$  については、D/A 変換回路やオペアンプなどのアナログ回路の特性や、各種の配線抵抗などのばらつきによる影響によって、画素間にわたって不均一となり易い。したがって、従来の構成では、高品質かつ高精細な階調表示が困難であった。

#### 【0030】

そこで、本実施形態に係る電気光学装置では、第 1 に、液晶層に印加される電圧を、例えば、電圧  $V_0$ （= 0）、 $V_7$  の 2 値のみとする構成を採用する。この構成において、1 フィールドの全期間にわたって液晶層に電圧  $V_0$  を印加すれば透過率は 0 % となるし、電圧  $V_7$  を印加すれば透過率は 100 % となる。さらに、1 フィールドのうち、液晶層に電圧  $V_0$  を印加する期間と、電圧  $V_7$  を印加する期間との比率を制御して、液晶層に印加される電圧実効値が  $V_1 \sim V_6$  となるように構成すれば、当該電圧に対応する階調表示が可能となるはずである。そこで、本実施形態に係る電気光学装置では、第 2 に、液晶層に電圧  $V_0$  を印加する期間と、電圧  $V_7$  を印加する期間とを区切るために、図 4（b）に示されるように、1 フィールド（1 f）を 7 つの期間に分割する。この分割した 7 つの期間を

便宜的にサブフィールド S f 1 ~ S f 7 と称することにする。

【0031】

さらに、本実施形態に係る電気光学装置では、第3に、各サブフィールド S f 1 ~ S f 7 毎に、階調データに応じて画素電極 1 1 8 に電圧 V 7 または電圧 V 0 を書き込む構成を採用する。例えば、階調データが (0 0 1) である場合（すなわち、当該画素の透過率を 1 4 . 3 % とする階調表示を行う場合）であって、対向電極 1 0 8 の電位が V 0 である場合、当該画素における画素電極 1 1 8 の電位を、1 フィールド (1 f) のうち、サブフィールド S f 1 では電圧 V 7 とする一方、他のサブフィールド S f 2 ~ S f 7 では電圧 V 0 とする書込を行う。ここで、電圧実効値は、電圧瞬時値の 2 乗を 1 周期 (1 フィールド) にわたって平均化した平方根で求められるから、サブフィールド S f 1 を、1 フィールド (1 f) に対して  $(V 1 / V 7)^2$  となる期間に設定すれば、上記書込によって 1 フィールド (1 f) に液晶層に印加される電圧実効値は V 1 となる。

【0032】

また、例えば、階調データが (0 1 0) である場合（すなわち、当該画素の透過率を 2 8 . 6 % とする階調表示を行う場合）であって、対向電極 1 0 8 の電位が V 0 である場合、当該画素における画素電極 1 1 8 の電位を、1 フィールド (1 f) のうち、サブフィールド S f 1 ~ S f 2 では電圧 V 7 とする一方、他のサブフィールド S f 3 ~ S f 7 では電圧 V 0 とする書込を行う。このため、サブフィールド S f 1 ~ S f 2 を、1 フィールド (1 f) に対して  $(V 2 / V 7)^2$  となる期間に設定すれば、上記書込によって 1 フィールド (1 f) に液晶層に印加される電圧実効値は V 2 となる。ここで、サブフィールド S f 1 は、上述したように  $(V 1 / V 7)^2$  となる期間に設定されるので、サブフィールド S f 2 については、 $(V 2 / V 7)^2 - (V 1 / V 7)^2$  となる期間に設定すれば良い。

【0033】

同様に、例えば、階調データが (0 1 1) である場合（すなわち、当該画素の透過率を 4 2 . 9 % とする階調表示を行う場合）であって、対向電極 1 0 8 の電位が V 0 である場合、当該画素における画素電極 1 1 8 の電位を、1 フィールド (1 f) のうち、サブフィールド S f 1 ~ S f 3 では電圧 V 7 とする一方、他の



サブフィールド S f 4 ~ S f 7 では電圧 V 0 とする書込を行う。このため、サブフィールド S f 1 ~ S f 3 を、1 フィールド (1 f) に対して  $(V 3 / V 7)^2$  となる期間に設定すれば、上記書込によって 1 フィールド (1 f) に液晶層に印加される電圧実効値は V 3 となる。ここで、サブフィールド S f 1 ~ S f 2 は、上述したように  $(V 2 / V 7)^2$  となる期間に設定されるので、サブフィールド S f 3 については、 $(V 3 / V 7)^2 - (V 2 / V 7)^2$  となる期間に設定すれば良いことが判る。

## 【0034】

以下、同様にして、他のサブフィールド S f 4 ~ S f 6 について期間がそれぞれ設定され、サブフィールド S f 7 については、最終的に、 $(V 7 / V 7)^2 - (V 6 / V 7)^2$  となる期間に設定されるとともに、他の階調データについても同様な書込が行われることとなる。

## 【0035】

このようにして、サブフィールド S f 1 ~ S f 7 の期間を設定して、階調データに応じた書込を行う構成とすると、当該液晶層に印加される電圧は V 0 および V 7 の 2 値であるにもかかわらず、各透過率に対応する階調表示が可能となる。なお、以下説明の便宜上、論理振幅については、電圧 V 7 を H レベルとし、電圧 V 0 を L レベルとして考えることにする。

## 【0036】

さて、このようにサブフィールド S f 1 ~ S f 7 毎に、階調に応じて H レベルまたは L レベルを書き込むためには、画素に対応する階調データを何らかの形で変換する必要がある。この変換を行うものが、図 1 におけるデータ変換回路 300 である。すなわち、データ変換回路 300 は、垂直走査信号 V s、水平走査信号 H s およびドットクロック信号 D C L K に同期して供給され、かつ、画素毎に対応する 3 ビットの階調データ D 0 ~ D 2 を、サブフィールド S f 1 ~ S f 7 毎に 2 値信号 D s に変換する構成となっている。

## 【0037】

ここで、データ変換回路 300 では、1 フィールドにおいて、どのサブフィールドであるかを認識する構成が必要となるが、この構成については、例えば、次

のような手法で認識することができる。すなわち、本実施形態では、交流化駆動のために、対向電極 1 0 8 の電位を交流化駆動信号 F R によって 1 フィールド毎に反転しているので、データ変換回路 3 0 0 内部に、スタートパルス D Y を計数するとともに、当該カウンタ結果を交流化駆動信号 F R のレベル遷移（立ち上がりおよび立ち下がり）でリセットするカウンタを設けて、当該カウント結果を参照することで、現状のサブフィールドを認識することができる。

#### 【 0 0 3 8 】

また、データ変換回路 3 0 0 は、交流化駆動信号 F R のレベルに応じて、階調データ D 0 ~ D 2 を 2 値信号 D s に変換する必要がある。具体的には、データ変換回路 3 0 0 は、階調データ D 0 ~ D 2 に対応する 2 値信号 D s を、交流化駆動信号 F R が L レベルである場合には、図 5 ( a ) に示される内容にしたがって出力する一方、交流化駆動信号 F R が H レベルである場合には、図 5 ( b ) に示される内容にしたがって出力する構成となっている。

#### 【 0 0 3 9 】

なお、この 2 値信号 D s については、走査線駆動回路 1 3 0 およびデータ線駆動回路 1 4 0 における動作に同期して出力する必要があるので、データ変換回路 3 0 0 には、スタートパルス D Y と、水平走査に同期するクロック信号 C L Y と、水平走査期間の最初を規定するラッチパルス L P と、ドットクロック信号に相当するクロック信号 C L X とが供給されている。また、上述したように、データ線駆動回路 1 4 0 では、ある水平走査期間において、第 1 のラッチ回路 1 4 2 0 が点順次的に 2 値信号をラッチした後、次の水平走査期間において、第 2 のラッチ回路 1 4 3 0 が、データ信号 d 1、d 2、d 3、…、d n として一斉に各データ線 1 1 4 に供給する構成となっているので、データ変換回路 3 0 0 は、走査線駆動回路 1 3 0 およびデータ線駆動回路 1 4 0 における動作と比較して、1 水平走査期間だけ先行するタイミングで 2 値信号 D s を出力する構成となっている。

#### 【 0 0 4 0 】

#### <動作>

次に、上述した実施形態に係る電気光学装置の動作について説明する。図 6 は、この電気光学装置の動作を説明するためのタイミングチャートである。

## 【0041】

まず、交流化駆動信号FRは、1フィールド(1f)毎にレベル反転して、対向電極108に印加される。一方、スタートパルスDYは、上述したように1フィールド(1f)を、各階調の透過率を規定する電圧V2~V6の大きさに応じた間隔に分割されたサブフィールドの開始時に供給される。

## 【0042】

ここで、交流化駆動信号FRがLレベルとなる1フィールド(1f)において、サブフィールドSf1の開始を規定するスタートパルスDYが供給されると、走査線駆動回路130(図1参照)におけるクロック信号CLYにしたがった転送によって、走査信号G1、G2、G3、…、Gmが期間(1Va)に順次排他的に出力される。なお、期間(1Va)は、最も短いサブフィールドよりもさらに短い期間に設定されている。

## 【0043】

さて、走査信号G1、G2、G3、…、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がってから、少なくともクロック信号CLYの半周期だけ遅延して出力される構成となっている。したがって、サブフィールドの最初にスタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されることになる。

## 【0044】

そこで、このラッチパルスLPの1ショット(G0)が供給された場合について検討してみる。まず、このラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されると、データ線駆動回路140(図3参照)におけるクロック信号CLXにしたがった転送によって、ラッチ信号S1、S2、S3、…、Snが水平走査期間(1H)に順次排他的に出力される。なお、ラッチ信号S1、S2、S3、…、Snは、それぞれクロック信号CLXの半周期に相当するパルス幅を有している。

## 【0045】

この際、図3における第1のラッチ回路1420は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110への2値信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110への2値信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目のデータ線114との交差に対応する画素110への2値信号Dsをラッチする。

## 【0046】

これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分の2値信号Dsが、第1のラッチ回路1420により点順次的にラッチされることになる。なお、データ変換回路300は、第1のラッチ回路1420によるラッチのタイミングに合わせて、各画素の階調データD0～D2を2値信号Dsに変換して出力することはいうまでもない。また、ここでは、交流化駆動信号FRがLレベルの場合を想定しているので、図5(a)に示されるテーブルが参照され、さらに、サブフィールドSf1に相当する2値信号Dsが、階調データD0～D2に応じて出力されることになる。

## 【0047】

次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路1430は、第1のラッチ回路1420によって点順次的にラッチされた2値信号Dsを、対応するデータ線114の各々にデータ信号d1、d2、d3、…、dnとして一斉に供給する。このため、上から数えて1行目の画素110においては、データ信号d1、d2、d3、…、dnの書込が同時に行われることとなる。

## 【 0 0 4 8 】

この書込と並行して、図 1 において上から 2 本目の走査線 1 1 2 との交差に対応する画素 1 行分の 2 値信号  $D_s$  が、第 1 のラッチ回路 1 4 2 0 により点順次的にラッチされる。

## 【 0 0 4 9 】

そして、以降同様な動作が、 $m$  本目の走査線 1 1 2 に対応する走査信号  $G_m$  が出力されるまで繰り返される。すなわち、ある走査信号  $G_i$  ( $i$  は、 $1 \leq i \leq m$  を満たす整数) が出力される 1 水平走査期間 (1 H) においては、 $i$  本目の走査線 1 1 2 に対応する画素 1 1 0 の 1 行分に対するデータ信号  $d_1 \sim d_n$  の書込と、( $i + 1$ ) 本目の走査線 1 1 2 に対応する画素 1 1 0 の 1 行分に対する 2 値信号  $D_s$  の点順次的なラッチとが並行して行われることになる。なお、画素 1 1 0 に書き込まれたデータ信号は、次のサブフィールド  $S_f 2$  における書込まで保持される。

## 【 0 0 5 0 】

以下同様な動作が、サブフィールドの開始を規定するスタートパルス  $D_Y$  が供給される毎に繰り返される。ただし、データ変換回路 3 0 0 (図 1 参照) は、階調データ  $D_0 \sim D_2$  から 2 値信号  $D_s$  への変換については、サブフィールド  $S_f 1 \sim S_f 7$  のうち、対応するサブフィールドの項目が参照される。

## 【 0 0 5 1 】

さらに、1 フィールド経過後、交流化駆動信号  $F_R$  が H レベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。ただし、階調データ  $D_0 \sim D_2$  から 2 値信号  $D_s$  への変換については、図 5 (b) に示されるテーブルが参照されることになる。

## 【 0 0 5 2 】

次に、このような動作が行われることによって、画素 1 1 0 における液晶層への印加電圧について検討する。図 7 は、階調データと、画素 1 1 0 における画素電極 1 1 8 への印加波形を示すタイミングチャートである。

## 【 0 0 5 3 】

例えば、交流化駆動信号  $F_R$  が L レベルである場合に、ある画素の階調データ

D0～D2が(000)であるとき、図5(a)に示される変換内容に従う結果、当該画素の画素電極118には、図7に示されるように、1フィールド(1f)にわたってLレベルが書き込まれる。ここで、上述したようにLレベルは電圧V0であるので、当該液晶層に印加される電圧実効値はV0となる。したがって、当該画素の透過率は、階調データ(000)に対応して0%となる。

#### 【0054】

また、ある画素の階調データD0～D2が(100)であるとき、図5(a)に示される変換内容に従う結果、当該画素の画素電極118には、図7に示されるように、サブフィールドSf1～Sf4においてはHレベルが、以降のサブフィールドSf5～Sf7においてはLレベルが、それぞれ書き込まれる。ここで、サブフィールドSf1～Sf4の期間が1フィールド(1f)において占める割合は $(V4/V7)^2$ であり、この期間にHレベルたる電圧V7が書き込まれるので、1フィールドにおいて当該画素の画素電極118に印加される電圧実効値はV4となる。したがって、当該画素の透過率は、階調データ(100)に対応して57.1%となる。なお、他の階調データについては、別段説明を要しないであろう。

#### 【0055】

さらに、ある画素の階調データD0～D2が(111)であるとき、図5(a)に示される変換内容に従う結果、当該画素の画素電極118には、図7に示されるように、1フィールド(1f)にわたってHレベルが書き込まれる。したがって、当該画素の透過率は、階調データ(111)に対応して100%となる。

#### 【0056】

一方、交流化駆動信号FRがHレベルである場合に、Hレベルの場合と反転したレベルが画素電極118に印加される。このため、HレベルたるV7とLレベルたるV0との中間値を電圧の基準としてみた場合、交流化駆動信号FRがHレベルの場合に各液晶層の印加電圧は、交流化駆動信号FRがLレベルの場合の印加電圧とは極性を反転したものであって、かつ、その絶対値は等しいものとなる。したがって、液晶層に直流成分が印加される事態が回避される結果、液晶105の劣化が防止されることになる。

## 【0057】

このような実施形態に係る電気光学装置によれば、1フィールド(1f)を、階調特性の電圧比率に応じてサブフィールドSf1～Sf7に分割し、各サブフィールド毎に、画素にHレベルまたはLレベルを書き込んで、1フィールドにおける電圧実効値が制御される。このため、データ線114に供給されるデータ信号d1～dnは、本実施形態では、Hレベル(=V7)またはLレベル(=V0)のみであって、2値的であるため、駆動回路などの周辺回路においては、高精度のD/A変換回路やオペアンプなどのような、アナログ信号を処理するための回路は不要となる。このため、回路構成が大幅に簡略化されるので、装置全体のコストを低く抑えることが可能となる。さらに、データ線114に供給されるデータ信号d1～dnは2値的であるため、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。このため、本実施形態に係る電気光学装置によれば、高品位かつ高精細な階調表示が可能となる。

## 【0058】

なお、上述した実施形態にあつては、交流化駆動信号FRを1フィールドの周期でレベル反転することとしたが、本発明は、これに限られず、例えば、2フィールド以上の周期でレベル反転する構成としても良い。ただし、上述した実施形態において、データ変換回路300は、スタートパルスDYをカウントするとともに、当該カウント結果を交流化駆動信号FRの遷移によってリセットすることで、現状のサブフィールドを認識する構成としたので、交流化駆動信号FRを2フィールドの周期でレベル反転する場合には、フィールドを規定するための何らの信号を与える必要が生じる。

## 【0059】

## ＜応用形態①＞

上述した実施形態においては、各サブフィールドの書込を、最も短いサブフィールドよりもさらに短い期間(1Va)で完了する必要がある。一方、上述した実施形態では、8階調表示としたが、例えば、16階調表示、64階調表示、…のように階調表示度数を高めるためには、サブフィールドの期間をさらに短くして、各サブフィールドの書込を、より短期間で完了させる必要が生じる。

## 【0060】

しかしながら、駆動回路、特に、データ線駆動回路140におけるXシフトレジスタ1410は、実際には上限付近で動作しているので、このままでは、階調表示度数を高めることができない。そこで、この点に改良を施した応用形態について説明する。

## 【0061】

図8は、この応用形態に係る電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。この図において、Xシフトレジスタ1412は、ラッチパルスLPをクロック信号CLXにしたがって転送する点においては、図3に示されるXシフトレジスタ1410と同様であるが、その段数が半分となっている点において、Xシフトレジスタ1410と相違している。すなわち、 $n = 2p$ を満たす整数pを想定すると、Xシフトレジスタ1412は、ラッチ信号S1、S2、…、Spを順次出力する構成となっている。

## 【0062】

また、この応用形態において2値信号は、左から数えて奇数本目のデータ線114への2値信号Ds1と、偶数本目のデータ線114への2値信号Ds2との2系統に分けられて供給される。さらに、第1のラッチ回路1422では、奇数本目のデータ線114に対応して2値信号Ds1をラッチするものと、それに続く偶数本目のデータ線114に対応して2値信号Ds2をラッチするものとが組となって、それぞれ同一のラッチ信号の立ち下がりと同時にラッチを行う構成となっている。

## 【0063】

したがって、このようなデータ線駆動回路140によれば、図9に示されるように、同一のラッチ信号S1、S2、S3、…によって同時に画素2個分の2値信号Ds1、Ds2がラッチされるので、クロック信号CLXの周波数を上記実施形態と同一に維持したまま、必要な水平走査期間を半分に短縮することができる。さらに、Xシフトレジスタ1412を構成する単位回路の段数は、データ線114の総本数に対応する「n」から、その半分である「p」に削減される。このため、Xシフトレジスタ1412の構成を、Xシフトレジスタ1410（図3



参照)と比較して簡略化することも可能となる。

【0064】

一方、Xシフトレジスタ1412を構成する単位回路の段数が半分で済むということは、必要な水平走査期間を同じとするのであれば、クロック信号CLXを半分に低下させることができることを意味する。このため、水平走査期間を同じとするのであれば、動作周波数に起因して消費される電力を抑えることもできる。

【0065】

なお、この応用形態にあっては、ラッチ信号によって同時されるラッチを行う第1のラッチ回路1422の個数を「2」としたが、「3」以上としても良いのはもちろんである。この場合には、2値信号は、当該個数に応じた系統に分けられて供給されることになる。

【0066】

<応用形態②>

また、上述した実施形態においては、各サブフィールドにおける書込が期間(1Va)で完了する。このため、あるサブフィールドにおいて、書込が完了した後から次のサブフィールドが開始するまでの期間では、各画素の液晶層において書き込まれた電圧の保持動作が行われるのみである。

【0067】

一方、上記実施形態における駆動回路、特に、データ線駆動回路140には、非常に高周波数のクロック信号CLXが供給される。一般に、シフトレジスタには、クロック信号をゲートで入力するクロックドインバータが極めて多数備えられるので、クロック信号CLXの供給源であるタイミング信号生成回路200からみると、Xシフトレジスタ1410(1412)は容量負荷となる。

【0068】

したがって、上述した保持動作が行われる期間において、クロック信号CLXを供給する構成では、容量負荷によって無駄に電力が消費される結果、消費電力の増大を招くことになる。そこで、この点に改良を施した応用形態について説明する。

## 【0069】

この応用形態においては、クロック信号CLXがタイミング信号生成回路200からXシフトレジスタ1410（1412）に至るまでの途中に、図10に示されるクロック信号供給制御回路400が介挿される構成となっている。ここで、クロック信号供給制御回路400は、RSフリップフロップ402と、AND回路404とを備えている。このうち、RSフリップフロップ402は、セット入力端SにスタートパルスDYを入力するとともに、リセット入力端Rに走査信号Gmを入力するものである。また、AND回路404は、タイミング信号生成回路200から供給されるクロック信号CLXと、RSフリップフロップ402の出力端Qから出力される信号との論理積信号を求めて、これをデータ線駆動回路140におけるXシフトレジスタ1410（1412）へのクロック信号CLXとして供給するものである。

## 【0070】

ここで、クロック信号供給制御回路400において、あるサブフィールドの最初においてスタートパルスDYが供給されると、RSフリップフロップ402がセットされるので、その出力端Qから出力される信号がHレベルとなる。このため、AND回路404が開くので、図11に示されるように、Xシフトレジスタ1410（1412）へのクロック信号CLXの供給が開始される。そして、データ線駆動回路140においては、この直後に供給されるラッチパルスLPを契機に、第1のラッチ回路1420（1422）による2値信号の点順次的なラッチが行われることとなる。

## 【0071】

一方、スタートパルスDYによってクロック信号CLXの供給が開始された後、そのサブフィールドにおいて最後（上から数えてm本目）の走査線112を選択する走査信号Gmが供給されると、RSフリップフロップ402がリセットされるので、その出力端Qから出力される信号がLレベルとなる。このため、AND回路404が閉じるので、図11に示されるように、Xシフトレジスタ1410（1412）へのクロック信号CLXの供給が遮断される。ここで、走査信号Gmが供給される以前には、m本目の走査線112との交差に対応する画素1行

分の 2 値信号が、第 1 のラッチ回路 1 4 2 0 ( 1 4 2 2 ) によりラッチされているはずであるから、次のサブフィールドの開始まで、クロック信号 C L X が遮断されても問題がない。なお、図 1 1 において、クロック信号 C L X の周波数は、クロック信号 C L Y の周波数よりも圧倒的に高いので、クロック C L X のエンベロープのみを示している。

## 【 0 0 7 2 】

したがって、このようなクロック信号供給制御回路 4 0 0 を設けると、クロック信号 C L X が必要なときだけ X シフトレジスタ 1 4 1 0 ( 1 4 1 2 ) に供給されるので、容量負荷により消費される電力をそれだけ抑えることが可能となる。また、Y 側のクロック信号 C L Y においても同様なクロック信号供給制御回路を設けても良いが、クロック信号 C L Y は、X 側のクロック信号 C L X よりも周波数が圧倒的に低い。このため、Y 側において、容量負荷により消費される電力は、X 側と比較して、あまり問題にはならない。

## 【 0 0 7 3 】

## &lt; 応用形態 ③ &gt;

さらに、上述した実施形態にあつては、電圧 V 0 を L レベルとして規定し、電圧 V 7 を H レベルとして規定したが、この構成では、単一の電源電圧から、透過率が 1 0 0 % となる電圧 V 7 を別途生成する必要がある。しかしながら、透過率 1 0 0 % を得るのには電圧 V 7 を別途生成しなくても、電源の高電位側電圧 V c c ( 例えば 3 V ) をそのまま H レベルとして用い、各サブフィールドの期間を適宜設定すればよい。このように V c c を H レベルとして規定すれば電源電圧のみで階調表示が可能となる。

## 【 0 0 7 4 】

ここで、電圧 V c c を H レベルに用いる構成では、電圧 V 7 を、先に説明した実施形態における電圧 V 2 ~ V 6 と同様にして扱うとともに、1 フィールド ( 1 f ) を、次のような期間を有する 8 つのサブフィールド S f 1 ~ S f 8 に分ける必要がある。

## 【 0 0 7 5 】

すなわち、サブフィールド S f 1 を、1 フィールド ( 1 f ) に対して ( V 1 /

$V_{cc})^2$ となる期間に設定し、また、サブフィールドSf2を、1フィールド(1f)に対して $(V_2/V_{cc})^2 - (V_1/V_{cc})^2$ となる期間に設定し、同様に、サブフィールドSf3を、1フィールド(1f)に対して $(V_3/V_{cc})^2 - (V_2/V_{cc})^2$ となる期間に設定して、以下同様にして設定して、最終的に、サブフィールドSf8を、1フィールド(1f)に対して $(V_{cc}/V_{cc})^2 - (V_7/V_{cc})^2$ となる期間に設定する。

## 【0076】

そして、このように期間を設定したサブフィールドSf1～Sf8のうち、サブフィールドSf1～Sf7においては、上述した第1実施形態と同様な書込を行うものとする。一方、新たなサブフィールドSf8については、交流化駆動信号FRのレベル、すなわち、対向電極108の電位に対して同一レベルとすれば良い。これにより、サブフィールドSf8において、液晶層は、階調データにかかわらず電圧無印加状態となる。換言すれば、透過率100%とするためには、1フィールド(1f)において常に液晶層にオンさせる必要はない、ということである。

## 【0077】

## &lt;液晶装置の全体構成&gt;

次に、上述した実施形態や応用形態に係る電気光学装置の構造について、図12および図13を参照して説明する。ここで、図12は、電気光学装置100の構成を示す平面図であり、図13は、図12におけるA-A'線の断面図である。

## 【0078】

これらの図に示されるように、電気光学装置100は、画素電極118などが形成された素子基板101と、対向電極108などが形成された対向基板102とが、互いにシール材104によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が挟持された構造となっている。なお、実際には、シール材104には切欠部分があつて、ここを介して液晶105が封入された後、封止材により封止されるが、これらの図においては省略されている。

## 【0079】

ここで、素子基板101は、上述したように半導体基板であるため不透明である。このため、画素電極118は、アルミニウムなどの反射性金属から形成されて、電気光学装置100は、反射型として用いられることになる。これに対して、対向基板102は、ガラスなどから構成されるので透明である。

## 【0080】

さて、素子基板101において、シール材104の内側かつ表示領域101aの外側領域には、遮光膜106が設けられている。この遮光膜106が形成される領域内のうち、領域130aには走査線駆動回路130が形成され、また、領域140aにはデータ線駆動回路140が形成されている。すなわち、遮光膜106は、この領域に形成される駆動回路に光が入射するのを防止している。この遮光膜106には、対向電極108とともに、交流化駆動信号FRが印加される構成となっている。このため、遮光膜106が形成された領域では、液晶層への印加電圧がほぼゼロとなるので、画素電極118の電圧無印加状態と同じ表示状態となる。

## 【0081】

また、素子基板101において、データ線駆動回路140が形成される領域140a外側であって、シール材104を隔てた領域107には、複数の接続端子が形成されて、外部からの制御信号や電源などを入力する構成となっている。

## 【0082】

一方、対向基板102の対向電極108は、基板貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材（図示省略）によって、素子基板101における遮光膜106および接続端子と電気的な導通が図られている。すなわち、交流化駆動信号FRは、素子基板101に設けられた接続端子を介して、遮光膜106に、さらに、導通材を介して対向電極108に、それぞれ印加される構成となっている。

## 【0083】

ほかに、対向基板102には、電気光学装置100の用途に応じて、例えば、直視型であれば、第1に、ストライプ状や、モザイク状、トライアングル状等に

配列したカラーフィルタが設けられ、第2に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述するプロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置100に光を対向基板102側から照射するフロントライトが必要に応じて設けられる。くわえて、素子基板101および対向基板102の電極形成面には、それぞれ所定の方法にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板101の側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶105として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

#### 【0084】

##### <その他>

また、実施形態においては、電気光学装置を構成する素子基板101を半導体基板とし、ここに、画素電極118に接続されるトランジスタ116や、駆動回路の構成素子などを、MOS型FETで形成したが、本発明は、これに限られない。例えば、素子基板101を、ガラスや石英などの非晶質基板とし、ここに半導体薄膜を堆積してTFTを形成する構成としても良い。このようにTFTを用いると、素子基板101として透明基板を用いることができる。

#### 【0085】

さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う装置に適用可能である。すなわち、本発明は、上述した構成と類似の構成を有する電気光学装置、特に、オンまたはオフの2値的な表示を行う画素を用いて、階調表示を行う電気光学装置のすべてに適用可能である。

#### 【0086】

##### <電子機器>

次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説

明する。

【0087】

<その1：プロジェクタ>

まず、実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図14は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、偏光照明装置1110がシステム光軸PLに沿って配置している。この偏光照明装置1110において、ランプ1112からの出射光は、リフレクタ1114による反射で略平行な光束となって、第1のインテグレートレンズ1120に入射する。これにより、ランプ1112からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第2のインテグレートレンズを光入射側に有する偏光変換素子1130によって、偏光方向がほぼ揃った種類の偏光光束（s偏光光束）に変換されて、偏光照明装置1110から出射されることとなる。

【0088】

さて、偏光照明装置1110から出射されたs偏光光束は、偏光ビームスプリッタ1140のs偏光光束反射面1141によって反射される。この反射光束のうち、青色光（B）の光束がダイクロイックミラー1151の青色光反射層にて反射され、反射型の電気光学装置100Bによって変調される。また、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、赤色光（R）の光束は、ダイクロイックミラー1152の赤色光反射層にて反射され、反射型の液電気光学装置100Rによって変調される。一方、ダイクロイックミラー1151の青色光反射層を透過した光束のうち、緑色光（G）の光束は、ダイクロイックミラー1152の赤色光反射層を透過して、反射型の電気光学装置100Gによって変調される。

【0089】

このようにして、電気光学装置100R、100G、100Bによってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー1152、1151、偏光ビームスプリッタ1140によって順次合成された後、投写光学系1160によって、スクリーン1170に投写されることとなる。なお、電気光

学装置 100R、100B および 100G には、ダイクロイックミラー 1151、1152 によって、R、G、B の各原色に対応する光束が入射するので、カラーフィルタは必要ない。

#### 【0090】

##### <その2：モバイル型コンピュータ>

次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図15は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、表示ユニット1206とから構成されている。この表示ユニット1206は、先に述べた電気光学装置100の前面にフロントライトを付加することにより構成されている。

#### 【0091】

なお、この構成では、電気光学装置100を反射直視型として用いることになるので、画素電極118において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

#### 【0092】

##### <その3：携帯電話>

さらに、上記電気光学装置を、携帯電話に適用した例について説明する。図16は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、電気光学装置100を備えるものである。この電気光学装置100にも、必要に応じてその前面にフロントライトが設けられる。また、この構成でも、電気光学装置100が反射直視型として用いられることになるので、画素電極118に凹凸が形成される構成が望ましい。

#### 【0093】

なお、電子機器としては、図14～図16を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられ



る。そして、これらの各種電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

【0094】

【発明の効果】

以上説明したように本発明によれば、データ線に印加される信号が2値化されて、高品位な階調表示が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る電気光学装置の電氣的な構成を示すブロック図である。

【図2】 (a) および (b) は、それぞれ同電気光学装置の画素の一態様を示す等価回路である。

【図3】 同電気光学装置におけるデータ線駆動回路の構成を示すブロック図である。

【図4】 (a) は、同電気光学装置における電圧－透過率特性を示す図であり、(b) は、同電気光学装置におけるサブフィールドの概念を説明するための図である。

【図5】 (a) および (b) は、それぞれ同電気光学装置におけるデータ変換回路の階調データの変換内容を示すテーブルである。

【図6】 同電気光学装置の動作を示すタイミングチャートである。

【図7】 同電気光学装置において対向基板に印加される電圧、および、画素電極に印加される電圧を、フィールド単位で示すタイミングチャートである。

【図8】 同電気光学装置におけるデータ線駆動回路の応用形態を示すブロック図である。

【図9】 同応用形態に係るデータ線駆動回路の動作を示すタイミングチャートである。

【図10】 同電気光学装置の応用形態におけるクロック信号供給制御回路の構成を示すブロック図である。

【図11】 同クロック信号供給制御回路の動作を示すタイミングチャートである。

【図 1 2】 同電気光学装置の構造を示す平面図である。

【図 1 3】 同電気光学装置の構造を示す断面図である。

【図 1 4】 同電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図 1 5】 同電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

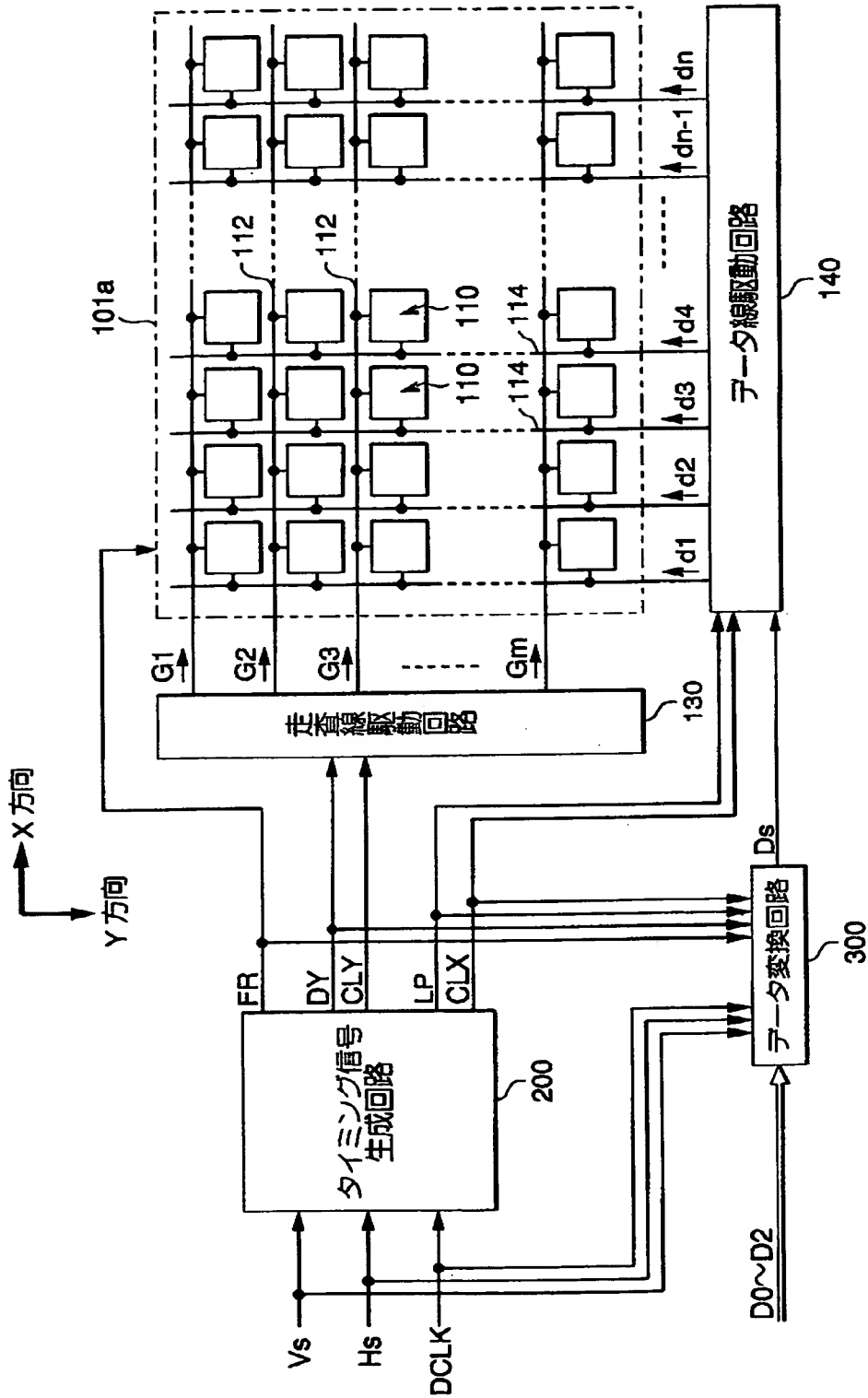
【図 1 6】 同電気光学装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

# 【符号の説明】

- 1 0 0 ……電気光学装置
- 1 0 1 ……素子基板
- 1 0 1 a ……表示領域
- 1 0 2 ……対向基板
- 1 0 5 ……液晶（電気光学材料）
- 1 0 8 ……対向電極
- 1 1 2 ……走査線
- 1 1 4 ……データ線
- 1 1 6 ……トランジスタ
- 1 1 8 ……画素電極
- 1 1 9 ……蓄積容量
- 1 3 0 ……走査線駆動回路
- 1 4 0 ……データ線駆動回路
- 1 4 1 0 ……Xシフトレジスタ
- 1 4 2 0 ……第 1 のラッチ回路
- 1 4 3 0 ……第 2 のラッチ回路
- 2 0 0 ……タイミング信号生成回路
- 3 0 0 ……データ変換回路
- 4 0 0 ……クロック信号供給制御回路

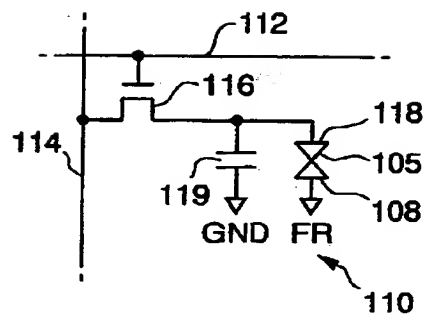
【書類名】 図面

【図 1】

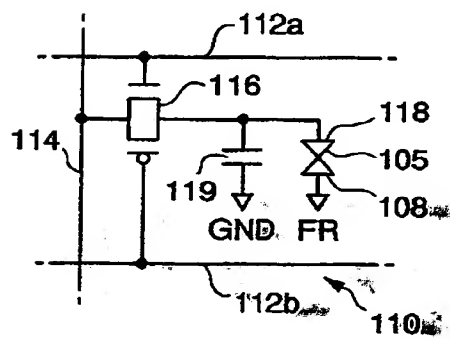


【図 2】

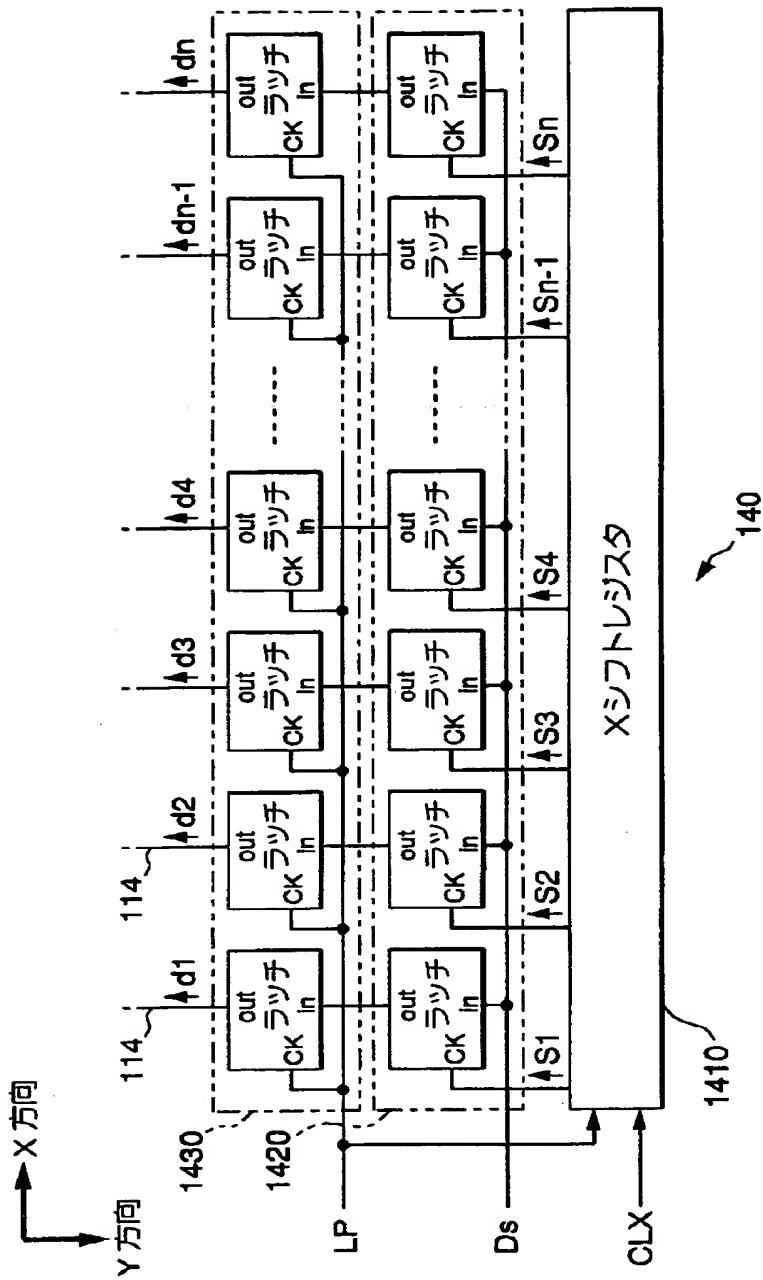
(a)



(b)



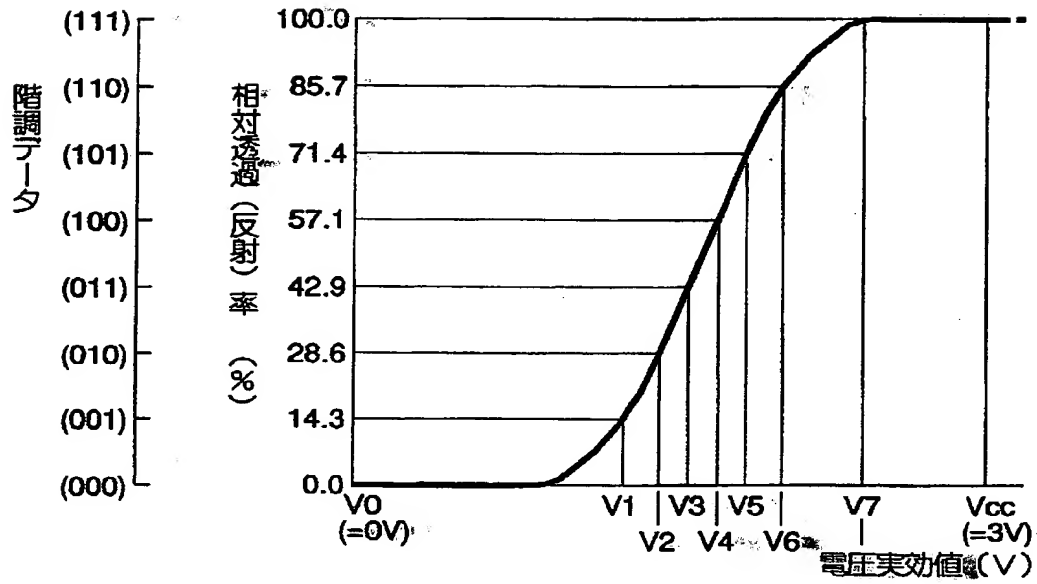
【図 3】



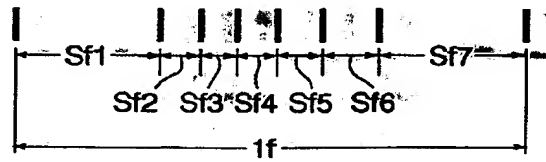
【図 4】

(a)

電圧／透過率特性（ノーマリーブラックモード）



(b)



【図 5】

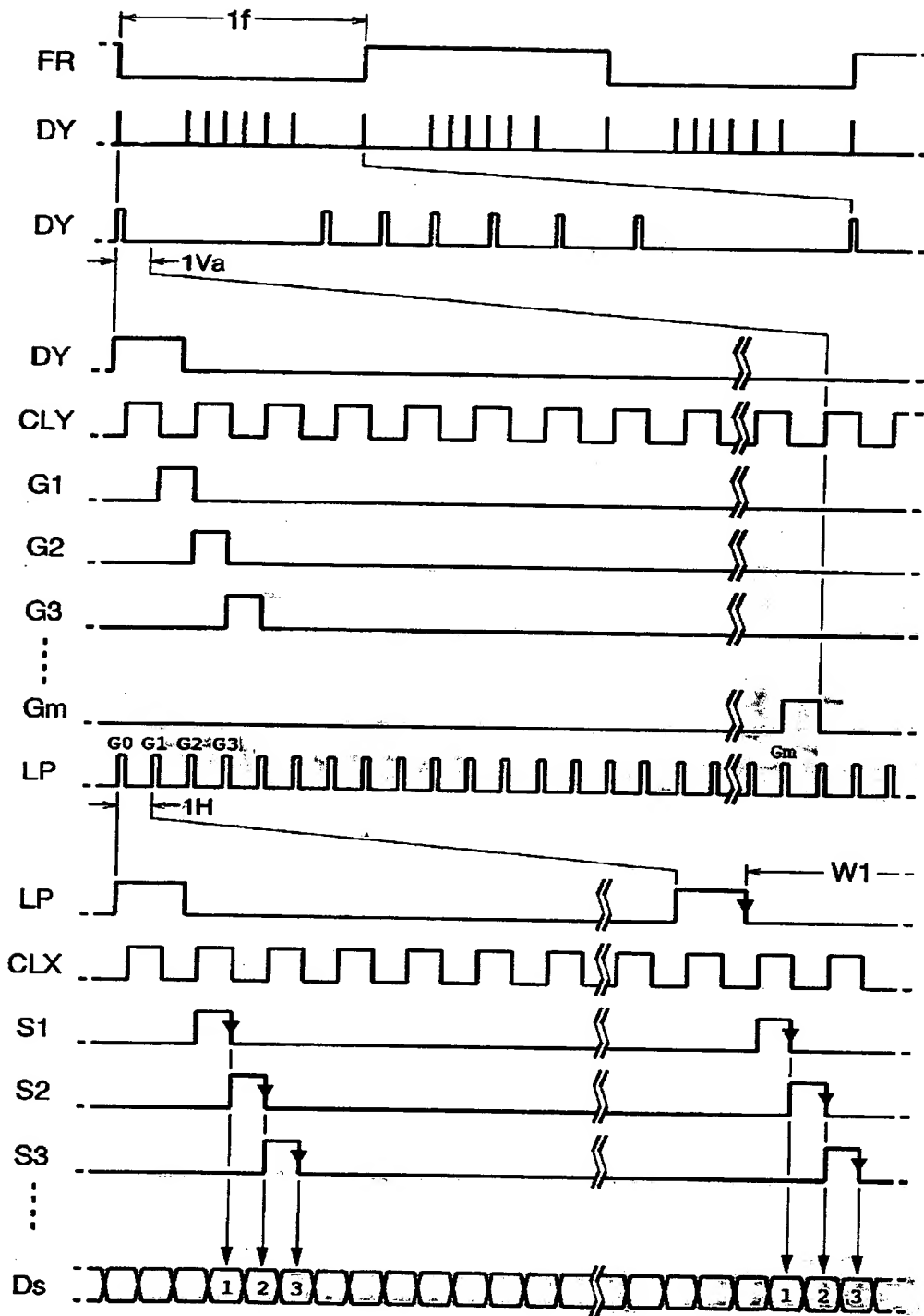
(a) FR=L の場合

階調データ D0~D2	Ds						
	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7
(000)	L	L	L	L	L	L	L
(001)	H	L	L	L	L	L	L
(010)	H	H	L	L	L	L	L
(011)	H	H	H	L	L	L	L
(100)	H	H	H	H	L	L	L
(101)	H	H	H	H	H	L	L
(110)	H	H	H	H	H	H	L
(111)	H	H	H	H	H	H	H

(b) FR=H の場合

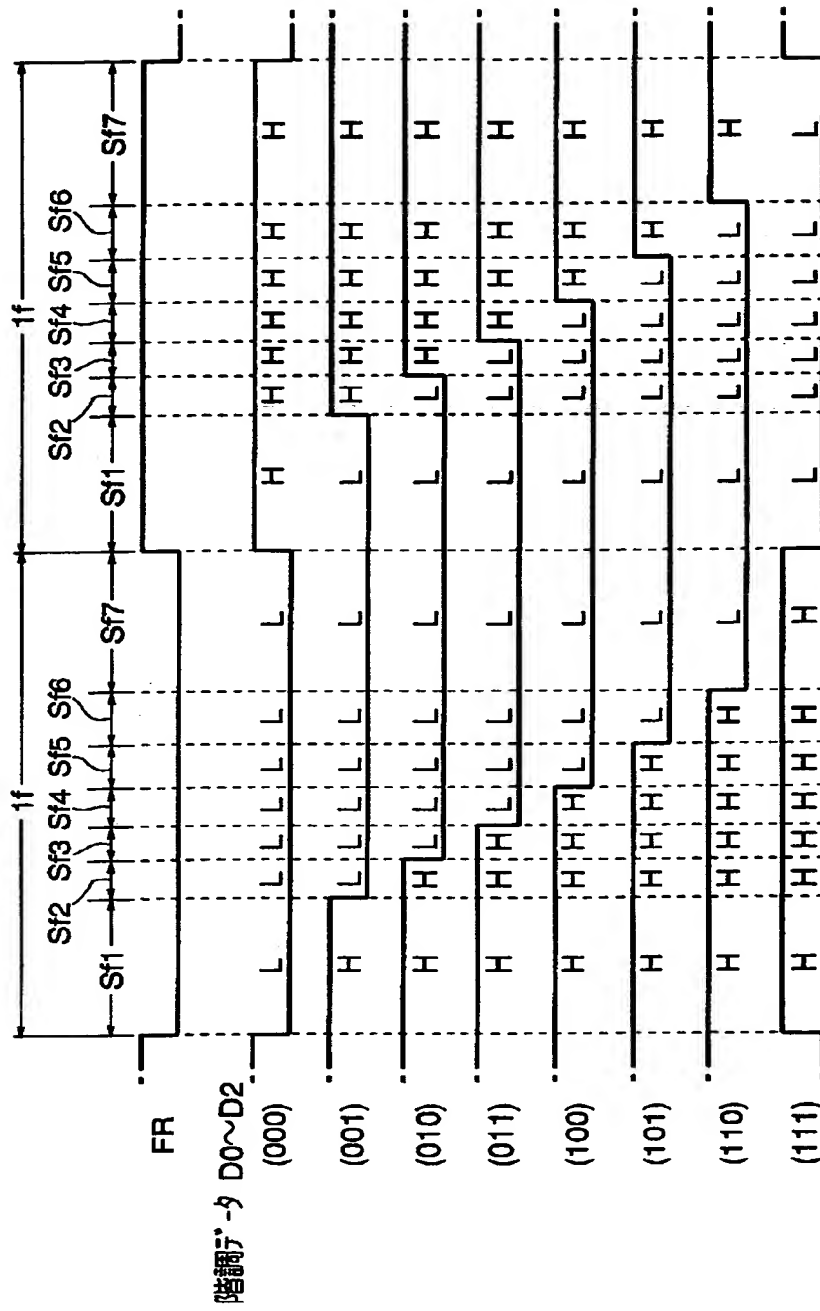
階調データ D0~D2	Ds						
	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7
(000)	H	H	H	H	H	H	H
(001)	L	H	H	H	H	H	H
(010)	L	L	H	H	H	H	H
(011)	L	L	L	H	H	H	H
(100)	L	L	L	L	H	H	H
(101)	L	L	L	L	L	H	H
(110)	L	L	L	L	L	L	H
(111)	L	L	L	L	L	L	L

【図 6】

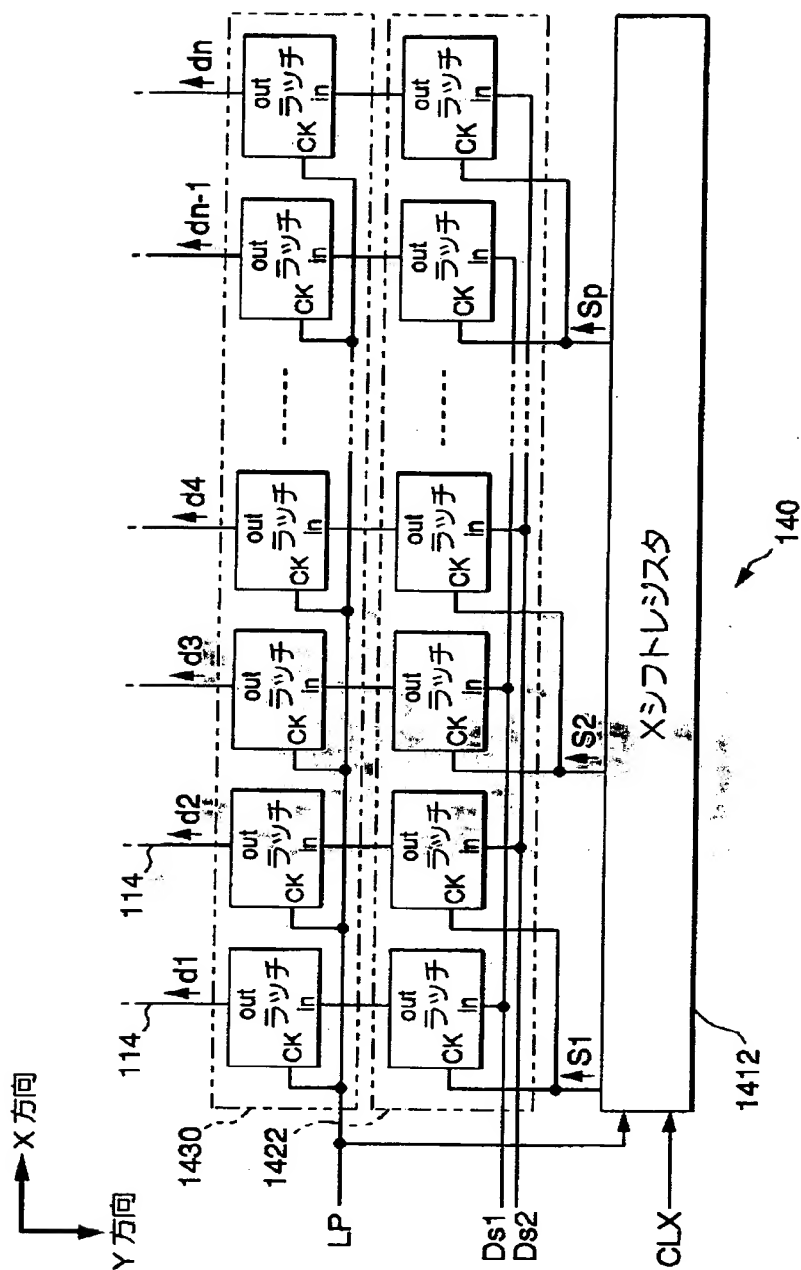




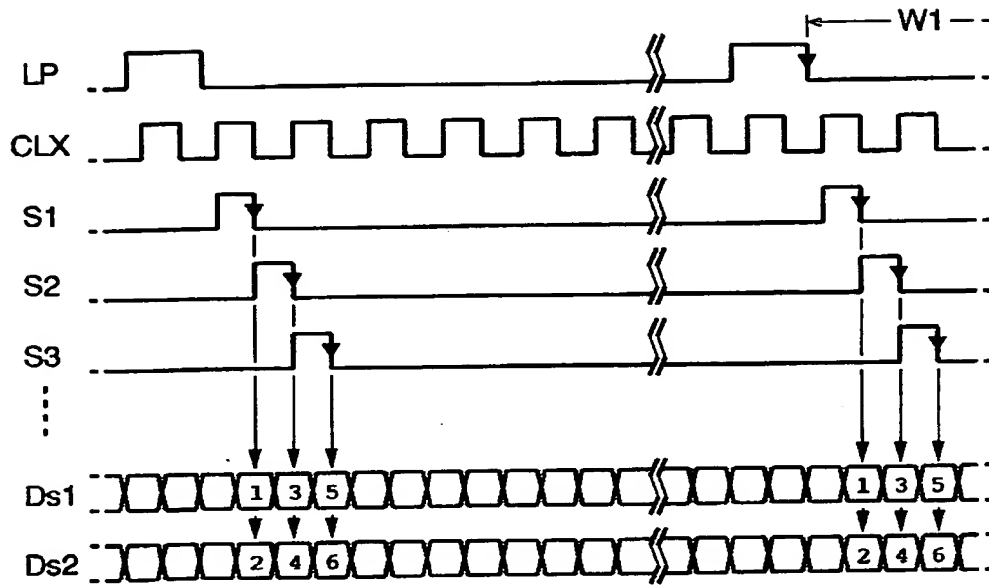
【図 7】



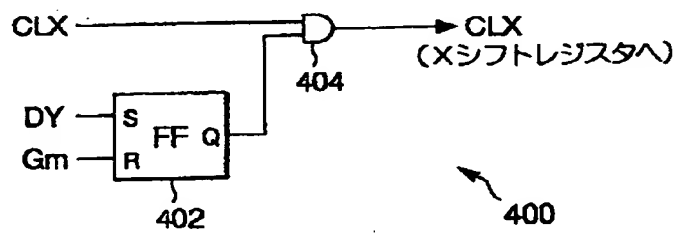
【図 8】



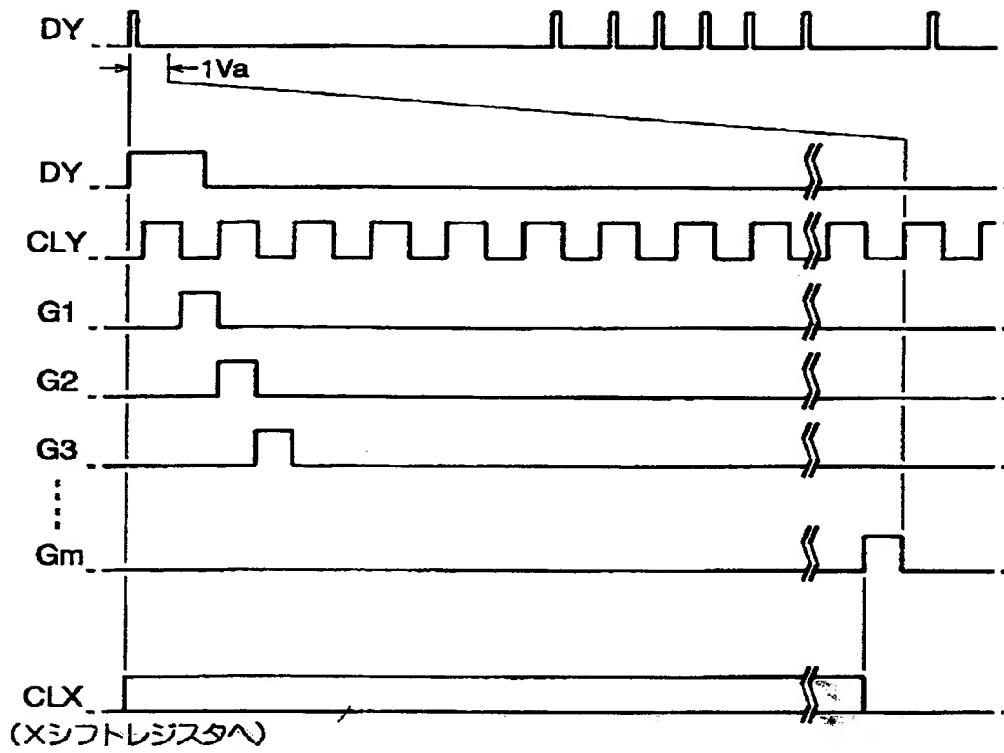
【図 9】



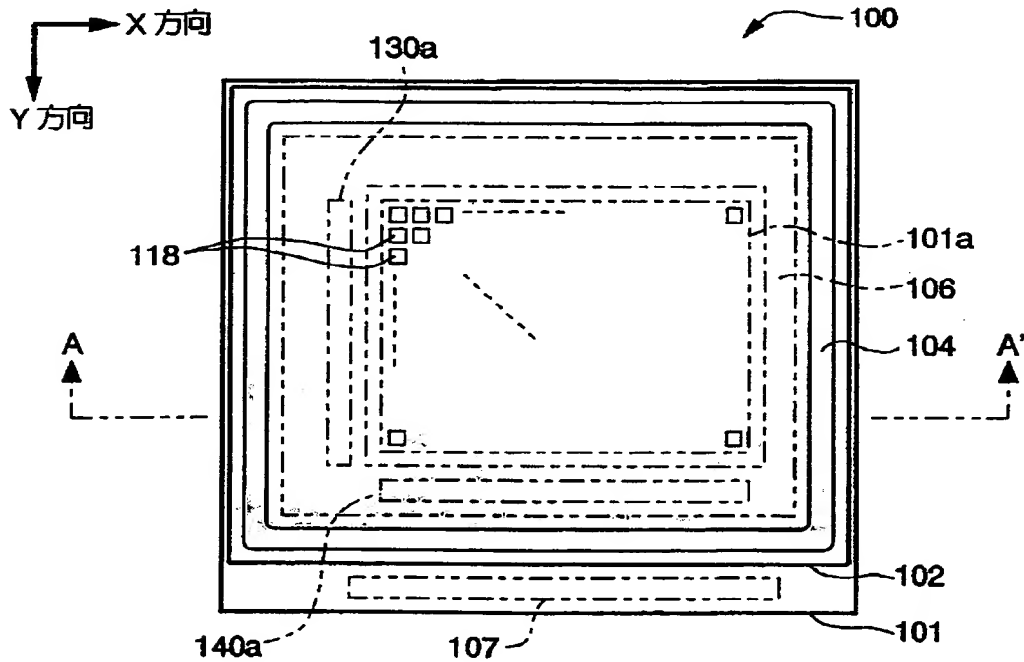
【図 1 0】



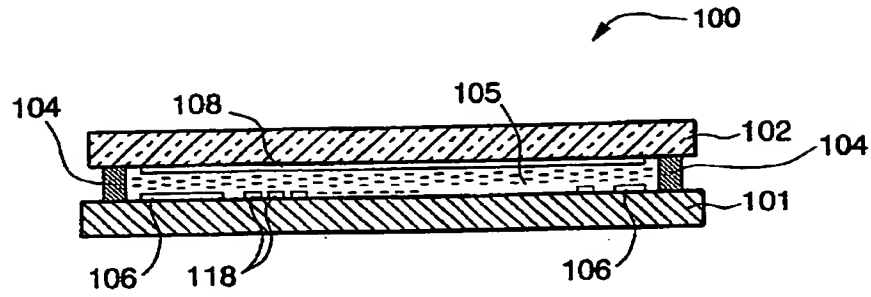
【図 1 1】



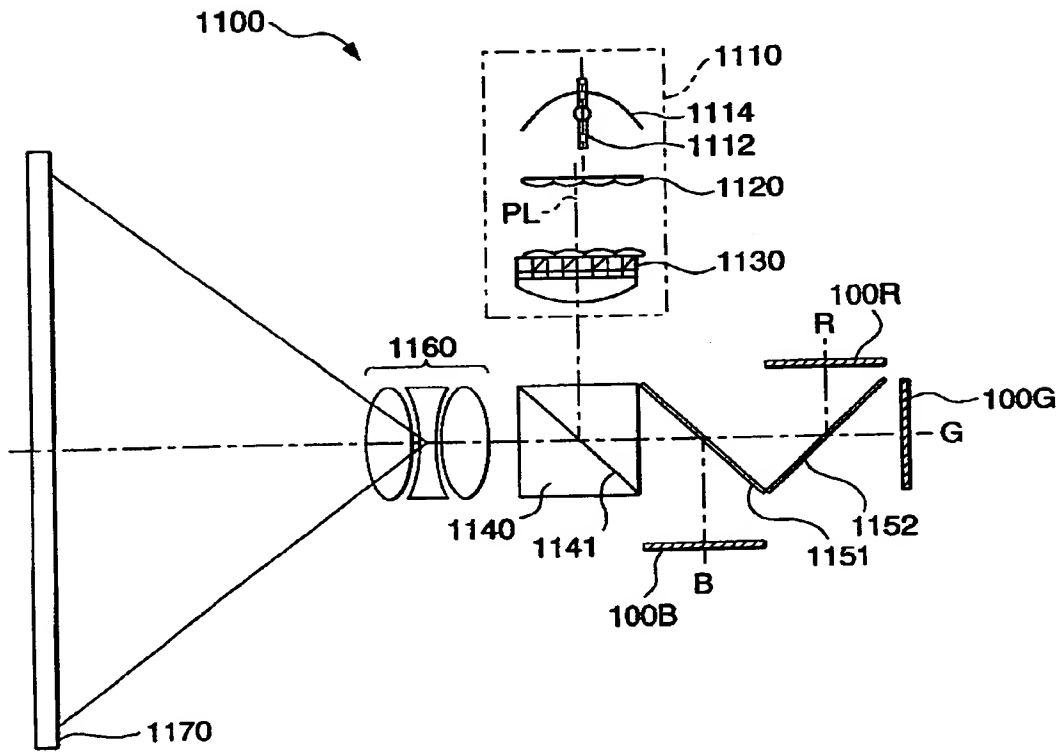
【図 1 2】



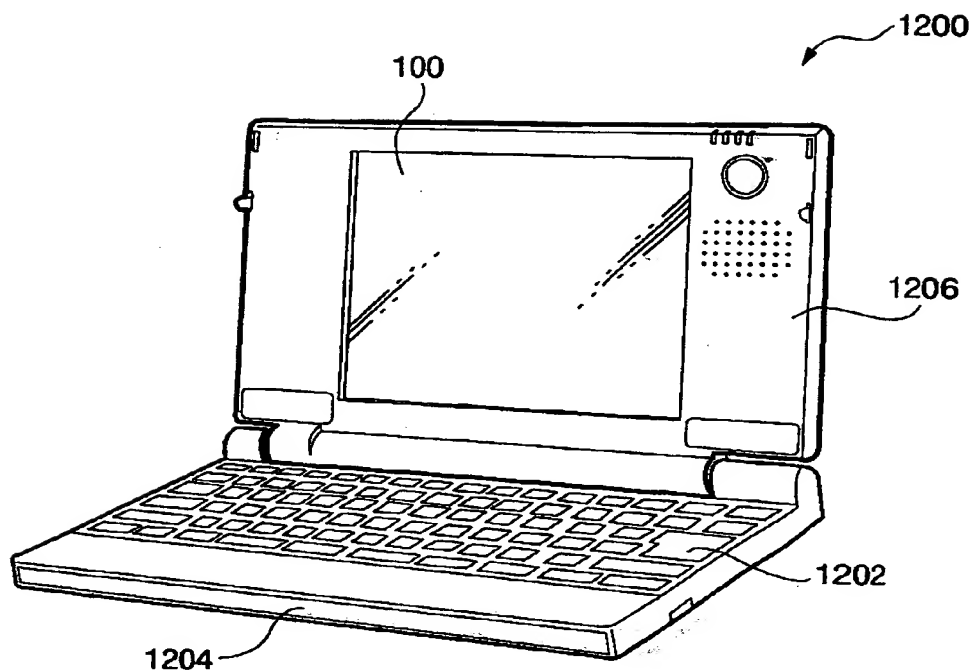
【図 1 3】



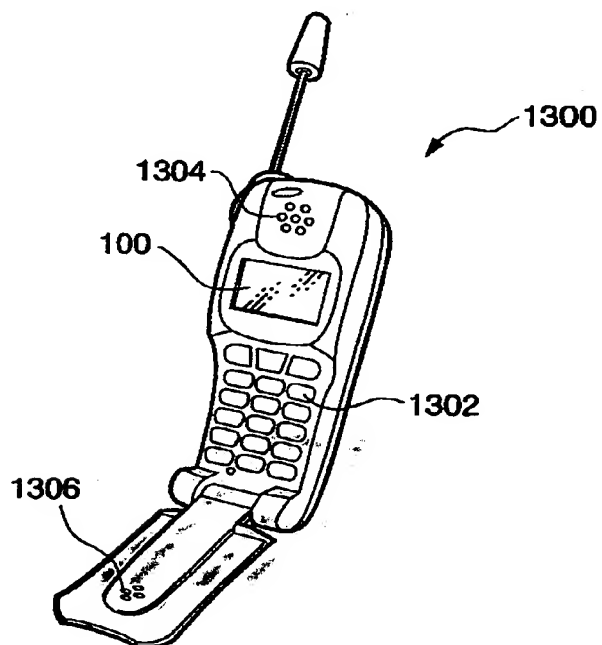
【図 1 4】



【図 1 5】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 データ線に印加される信号を 2 値化して、高品位な階調表示を行う。

【解決手段】 例えば、8 階調表示を行う場合、1 フィールド (1 f) を、電気光学装置の階調特性に応じて 7 つのサブフィールド (S f 1 ~ S f 7) に分割し、最初のサブフィールド (S f 1) においては、H または L レベルを書き込んで画素をオンまたはオフとし、以降のサブフィールド (S f 2 ~ S f 7) においては、画素の階調に応じて H または L レベルを書き込んで、1 フィールドにおいて、当該画素のオン期間またはオフ期間に占める割合を制御する。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**